

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. 6

(11) 공개번호 특 1999-0085774

H01L 27 /00

(43) 공개일자 1999년 12월 15일

(21) 출원번호 10-1998-0018391

(22) 출원일자 1998년 05월 21일

(71) 출원인 삼성전자 주식회사 윤종용

경기도 수원시 팔달구 매탄3동 416

(72) 발명자 박광국

서울특별시 송파구 잠실2동 주공아파트 255동218호

(74) 대리인 권석홍, 권용남, 이영필

심사청구 : 없음

(54) 퓨즈노출용 원도우를 구비하는 반도체소자 및 그 제조방법

요약

본 발명은 퓨즈노출형 원도우를 구비하는 반도체 소자 및 그 제조방법을 개시한다. 본 발명의 퓨즈노출형 원도우를 구비하는 반도체 소자는, 하부구조물이 완성된 반도체 기판의 상부에 형성된 복수개의 퓨즈들과, 퓨즈를 전면에 증착된 퓨즈보호막과, 퓨즈보호막 내에 형성되어 퓨즈들을 노출시키고 퓨즈들을 절단하기 위한 레이저 빙을 조사할 때 사용되는 원도우를 구비하되, 원도우는 각각의 퓨즈들마다 한 개씩 형성되어 복수개로 구성되고, 또한 원도우는 인접한 퓨즈 절단시 절단하고자 하는 퓨즈의 원도우에 조사되는 레이저 빙이 미치지 않는 위치에 배치되는 것을 특징으로 한다. 본 발명에 의해 퓨즈절단시 절단하고자 하는 퓨즈에 인접한 퓨즈가 손상되는 것을 방지할 수 있다.

대표도

도4

영세서

도면의 간단한 설명

도 1은 일반적인 퓨즈의 평면도이다.

도 2는 종래의 한 개의 원도우를 갖는 퓨즈보호막을 도시한 평면도이다.

도 3은 도 2의 a-a'의 단면도이다.

도 4는 본 발명의 실시예에 따라 복수개의 원도우를 갖는 퓨즈보호막을 도시한 평면도이다.

도 5는 도 4의 'b-b'의 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

10: 퓨즈	40: 퓨즈보호막
52: 원도우	30: 반도체 기판
32: 퓨즈도전막	34: 퓨즈실리사이드막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 퓨즈노출용 원도우를 구비하는 반도체 소자 및 그 제조방법에 관한 것으로서, 상세하게는 레이저를 이용하여 퓨즈를 절단할 때 절단하고자 하는 퓨즈에 인접한 퓨즈의 손상을 방지하기 위한 반도체 소자 및 그 제조방법에 관한 것이다.

최근에 반도체 메모리 소자는 빠른 속도로 고집적화되고 있다. 고집적화된 메모리 집적회로는 수십만개 또는 수십억개의 단위셀로 구성되는데, 이 단위셀들이 모두 정상적으로 동작하여야 메모리 집적회로가 양품판정을 받을 수 있다. 하지만 반도체 소자의 제조공정에 있어서 항상 결함(defect)이 발생할 수 있으므로, 모든 단위셀이 정상적으로 동작하는 것은 현실적으로 불가능하다.

이러한 문제를 해결하기 위한 방법으로 리던던시 셀(redundancy cell)을 이용하는 것이다. 리던던시 셀이라 함은 메인 셀(main cell)이 고장났을 때 메인 셀을 대신하는 셀로서, 메인 셀의 주변에 위치한다. 동작원리는 다음과 같다. 신호선과 메인 셀사이에 퓨즈가 연결되어 있으며, 만약 메인 셀이 고장이 나면 메인 셀과 연결된 퓨즈를 절단시킨다. 그리고 신호선을 리던던시 셀과 연결시킨다. 따라서 집적회로를 구성하는 단위셀이 고장이 나더라도, 리던던시 셀에 의해 집적회로는 정상적으로 동작하게 된다. 이때 퓨즈는 레이저 빙을 이용하여 절단하게 된다.

그런데, 불량한 메모리 셀에 연결된 퓨즈를 절단할 때, 절단하고자 하는 퓨즈에 인접한 퓨즈 또한 손상되는 경우가 발생한다. 인접한 퓨즈가 손상되는 경우는 (1) 메모리 소자가 고집적화됨에 따라 퓨즈와 퓨즈사이의 간격(도 1의 a)이 매우 좁은 경우와, (2) 레이저 빙이 조사되는 지점의 반경(spot size)이 너무 크거나 레이저 빙의 에너지가 필요이상으로 큰 경우와, (3) 퓨즈 절단시의 파편들이 인접한 퓨즈에 튀는 경우 등이 있다. 이러한 원인들은 메모리 소자를 양산하는 장비 및 기타의 영향으로 항상 발생되는 상황들이다. 원인중 (2)에 있어서, 레이저 빙의 에너지가 필요이상으로 과다하면, 당초 조사되는 레이저 빙의 목표 영역이 도 1의 b영역이더라도 레이저 빙의 조사반경이 도 1의 c영역까지 확대된다. 따라서 레이저 빙이 인접퓨즈까지 미치므로 인접퓨즈가 절단되기도 한다.

도 2와 도 3은 종래의 퓨즈들, 퓨즈보호막 및 한 개의 원도우를 구비하는 반도체 소자를 도시한 단면도들이다.

도 2를 참조하면, 복수개의 퓨즈(10)들이 형성되어 있고 그 위에 퓨즈보호막(20)이 형성되어 있다. 퓨즈보호막(20) 내에 퓨즈들에 레이저빙을 조사하기 위한 한 개의 원도우(22)가 형성되어 있다. 도 3은 도 2의 a - a'의 단면을 도시한 단면도

이다. 반도체 기판(30) 상부에 일렬로 배열된 퓨즈들(10)은 퓨즈도전막(32) 및 퓨즈실리사이드막(34)으로 구성된다. 퓨즈(10)들의 측벽에는 절연막의 스페이서(20')가 형성되어 있다. 복수개의 퓨즈들의 일부분을 동시에 노출시키는 한 개의 원도우(30)를 갖는 반도체 소자에 있어서, 퓨즈를 절단하기 위해 레이저 빙을 조사할 때, 퓨즈와 퓨즈간의 간격이 좁은 경우, 레이저 빙의 에너지가 필요이상으로 큰 경우 또는 절단된 퓨즈의 파편이 튀는 경우에는 절단하고자 하는 퓨즈에 인접한 퓨즈, 즉 정상적인 셀에 연결된 퓨즈 또한 손상되는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기와 같은 레이저 빙을 조사시 절단하고자 하는 퓨즈에 인접한 퓨즈가 손상되는 문제점을 해결하기 위한 것으로서, 새로운 형태의 퓨즈노출형 원도우를 구비하는 반도체 소자를 제공하는데 그 목적이 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 상기 반도체 소자를 제조하는데 적합한 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 퓨즈노출형 원도우를 구비하는 반도체 소자는, 하부구조물이 완성된 반도체 기판의 상부에 형성된 복수개의 퓨즈들과, 퓨즈들 전면에 증착된 퓨즈보호막과, 퓨즈보호막 내에 형성되어 퓨즈들의 일부분을 노출시키고 퓨즈들을 절단하기 위한 레이저 빙을 조사할 때 사용되는 원도우를 구비하되, 원도우는 각각의 퓨즈들마다 한 개씩 형성되어 복수개로 구성되어 있고, 원도우는 인접한 퓨즈 절단시 절단하고자 하는 퓨즈의 원도우에 조사되는 레이저 빙이 미치지 않는 위치에 형성되어 절단하고자 하는 퓨즈에 인접한 퓨즈들이 손상되지 않는 것을 특징으로 한다. 이때, 원도우는 인접한 퓨즈의 원도우들과 서로 나란하지 않게 지그재그의 형태로 형성되는 것이 바람직하다. 본 발명의 퓨즈노출용 원도우를 구비하는 반도체 소자는 다이나믹 램, 스탠틱 램, MOS 트랜지스터 또는 메모리와 비메모리로 구성되는 복합소자등에 적용될 수 있다.

상기 다른 목적을 달성하기 위한 퓨즈를 구비하는 반도체 소자의 제조방법에 따르면, 먼저 하부구조물이 완성된 반도체 기판 상부에 퓨즈도전막과 퓨즈실리사이드막을 증착하고 패터닝하여 복수개의 퓨즈들을 형성한다. 다음, 형성된 퓨즈들 위에 퓨즈보호막을 증착한 후, 퓨즈들의 일부분을 노출시키고 퓨즈들을 절단하기 위한 레이저 빙을 조사할 때 사용되는 원도우를 퓨즈보호막 내에 형성한다. 이때, 원도우는 각각의 퓨즈마다 한 개씩 형성되어 복수개로 구성되고, 인접한 퓨즈 절단시 절단하고자 하는 퓨즈의 원도우에 조사되는 레이저 빙이 미치지 않는 위치에 형성한다. 본 발명의 퓨즈를 구비한 반도체 소자의 제조방법은 다이나믹 램, 스탠틱 램, MOS 트랜지스터 또는 메모리와 비메모리로 구성되는 복합소자등에 적용될 수 있다.

본 발명에 의하면, 원도우는 인접한 퓨즈의 원도우들과 서로 나란하지 않게 지그재그 형태로 형성함으로써, 퓨즈 절단시 절단하고자 하는 퓨즈에 인접한 퓨즈들이 손상되는 것을 방지할 수 있다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명한다. 그러나 본 발명이 하기 실시예에 국한되는 것으로 해석되어져서는 안된다. 또한, 도면에서 층이나 영역들의 두께는 설명을 명확하게 하기 위하여 과장된 것이다. 도면에서 동일한 참조부호는 동일한 구성요소를 나타낸다. 또한 어떤 층이 다른 층 또는 기판의 '상부'에 있다고 기재된 경우, 상기 어떤 층이 상기 다른 층 또는 기판의 상부에 직접 접촉하면서 존재할 수도 있고, 그 사이에 다른 제3의 층이 개재될 수도 있다.

도 4는 본 발명의 실시예에 따라 형성된 반도체 소자의 평면도이며, 도 5는 도 4의 b-b'의 단면을 도시한 단면도이다.

본 발명의 퓨즈노출용 원도우를 구비하는 반도체 소자는, 도 4와 도 5에 도시된 바와 같이 하부구조물(미도시)이 모두 완성된 반도체 기판(30) 위에 형성된 복수개의 퓨즈들(10)과, 퓨즈들(10) 전면에 층착된 퓨즈보호막(40)과, 퓨즈보호막(40)내에 형성되고 퓨즈들(10)을 절단하기 위한 레이저 빔을 조사할 때 사용되는 원도우(50)들을 구비한다. 이때, 퓨즈(10)는 퓨즈도전막(32) 및 퓨즈실리사이드막(34)의 적층구조로 형성되어 있다. 퓨즈도전막(32)은 폴리실리콘막 또는 금속막등인 것이 바람직하고, 퓨즈실리사이드막(34)은 텐스텐실리사이드등의 실리사이드막인 것이 바람직하다.

퓨즈보호막(40)은 절연막, 예컨대 산화막, 질화막 또는 인규산 유리막인 것이 바람직하다. 절단하고자 하는 퓨즈의 퓨즈보호막 내에 형성된 원도우에 레이저 빔을 조사하여 퓨즈가 절단된다. 원도우(50)는 각각의 퓨즈(10)들마다 형성되어 복수개로 구성되어 있으며, 원도우는 인접한 퓨즈 절단시 절단하고자 하는 퓨즈의 원도우에 조사되는 레이저빔이 미치지 않는 위치에 형성되어 있다. 원도우(50)는 인접한 퓨즈의 원도우들과 서로 나란하지 않게 지그재그 형태로 형성되어 있는 것이 바람직하다. 따라서, 절단하고자 하는 퓨즈의 원도우에 레이저빔이 조사될 때, 절단하고자 하는 퓨즈에 인접한 퓨즈들이 손상되지 않는다.

본 발명의 퓨즈노출형 원도우를 구비하는 반도체 소자는 다이나믹 램, 스태틱 램, MOS 트랜지스터 또는 메모리와 비메모리로 구성되는 복합소자등에 적용될 수 있다.

<>

도 4와 도 5를 참조하면, 하부구조물들(미도시)이 모두 완성된 반도체 기판(20) 위에 퓨즈도전막(32) 및 퓨즈실리사이드막(34)을 순차적으로 층착하고, 사진식각공정을 이용하여 패터닝하여 퓨즈들(10)을 형성한다. 이때, 퓨즈들(10)은 일렬로 나란이 배열한다. 퓨즈도전막(32)은 폴리실리콘막 또는 금속막등으로 형성되고, 퓨즈실리사이드막(34)은 텐스텐실리사이드등의 실리사이드막으로 형성되는 것이 바람직하다.

다음, 퓨즈들(10) 위에 퓨즈보호막을 층착한다. 퓨즈보호막은 절연막, 예컨대 산화막, 질화막 또는 인규산 유리막(Phospho-Silicate Glass)으로 형성되는 것이 바람직하다. 이어서, 사진공정과 식각공정을 진행하여 퓨즈보호막(40) 내에 퓨즈들을 절단하기 위한 레이저 빔을 조사할 때 사용되는 원도우(50)를 형성한다. 이때, 이방성 예칭을 함으로써, 원도우(50)가 형성된 퓨즈(10)들의 측벽에 절연막의 스페이서가 형성된다. 원도우는 각각의 퓨즈마다 한 개씩 형성되어 복수개로 구성된다. 각 퓨즈의 원도우(50)는 인접한 퓨즈의 절단시 절단하고자 하는 퓨즈의 원도우에 조사되는 레이저빔이 미치지 않는 위치에 형성함으로써, 퓨즈 절단시 절단하고자 하는 퓨즈에 인접한 퓨즈들이 손상되는 것을 방지한다. 이때, 원도우(50)는 인접한 퓨즈의 원도우들과 나란하지 않게 지그재그 형태로 형성하는 것이 바람직하다.

본 발명의 반도체 소자의 제조방법은 다이나믹 램, 스태틱 램, MOS 트랜지스터 또는 메모리와 비메모리로 구성되는 복합소자등에 적용될 수 있다.

이상 실시예를 들어 본 발명에 대해 설명하였으나, 본발명은 상술한 실시예에 한정되는 것은 아니며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위하여 제공되는 것으로서, 본 발명의 기술사상 및 범위내에서 당 분야의 통상의 지식을 가진 자에 의하여 각종 변형 및 개량이 가능함은 명백하다.

발명의 효과

이상에서 살펴본 바와 같이 본 발명에 따른 퓨즈노출형 원도우를 구비하는 반도체 소자 및 그 제조방법은, 반도체 메모리소자등에 사용되는 퓨즈들을 레이저 빔을 이용하여 절단시 사용되는 원도우들을 각 퓨즈마다 한 개씩 형성하고 인접한 퓨즈 절단시 절단하고자 하는 퓨즈의 원도우에 조사되는 레이저빔이 미치지 않는 위치에 형성함으로써 절단하고자 하는 퓨즈에 인접한 정상적인 메모리셀에 연결된 퓨즈들이 손상되는 것을 방지할 수 있다.

(57) 청구의 범위

청구항 1. 하부구조물이 완성된 반도체 기판의 상부에 형성된 복수개의 퓨즈들과, 상기 퓨즈들 전면에 증착된 퓨즈보호막과, 상기 퓨즈보호막 내에 형성되어 상기 퓨즈들의 일부분을 노출시키고 상기 퓨즈들을 절단하기 위한 레이저 빙을 조사할 때 사용되는 원도우를 구비하는 반도체 소자에 있어서,

상기 원도우는 각각의 퓨즈들마다 한 개씩 형성되어 복수개로 구성되어 있고, 상기 원도우는 인접한 퓨즈 절단하고자 하는 퓨즈의 원도우에 조사되는 레이저 빙이 미치지 않는 위치에 형성되어 절단하고자 하는 퓨즈에 인접한 퓨즈들이 손상되지 않는 것을 특징으로 하는 퓨즈노출용 원도우를 구비하는 반도체 소자.

청구항 2. 제1항에 있어서, 상기 원도우는 인접한 퓨즈의 원도우들과 서로 나란하지 않게 지그재그의 형태로 형성되어 있는 것을 특징으로 하는 퓨즈노출용 원도우를 구비하는 반도체 소자.

청구항 3. 제1항에 있어서, 상기 퓨즈보호막은 산화막, 질화막 또는 인규산 유리인 것을 특징으로 하는 퓨즈노출용 원도우를 구비하는 반도체 소자.

청구항 4. 제1항, 제2항 또는 제3항에 있어서, 상기 퓨즈노출용 원도우를 구비하는 반도체 소자는 다이나믹 램, 스태틱 램, MOS 트랜지스터 또는 메모리와 비메모리로 구성되는 복합소자등에 적용되는 것을 특징으로 하는 퓨즈노출용 원도우를 구비하는 반도체 소자.

청구항 5. 하부구조물이 완성된 반도체 기판 상부에 복수개의 퓨즈들을 형성하는 단계;

상기 반도체 기판의 전면에 퓨즈보호막을 형성하는 단계; 및

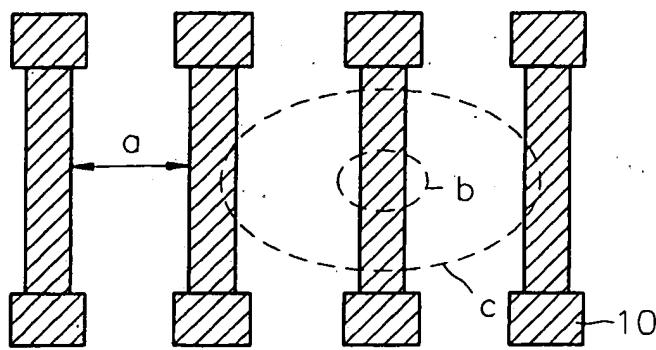
상기 퓨즈보호막 내에 형성되어 상기 퓨즈들의 일부분을 노출시키고 상기 퓨즈들을 절단하기 위한 레이저 빙을 조사할 때 사용되는 원도우를 형성하는 단계를 구비하되,

상기 원도우는 각각의 퓨즈들마다 한 개씩 형성되어 복수개로 구성되고, 상기 원도우는 인접한 퓨즈 절단하고자 하는 퓨즈의 원도우에 조사되는 레이저 빙이 미치지 않는 위치에 형성되어 절단하고자 하는 퓨즈에 인접한 퓨즈들이 손상되지 않는 것을 특징으로 하는 퓨즈를 구비하는 반도체 소자의 제조방법.

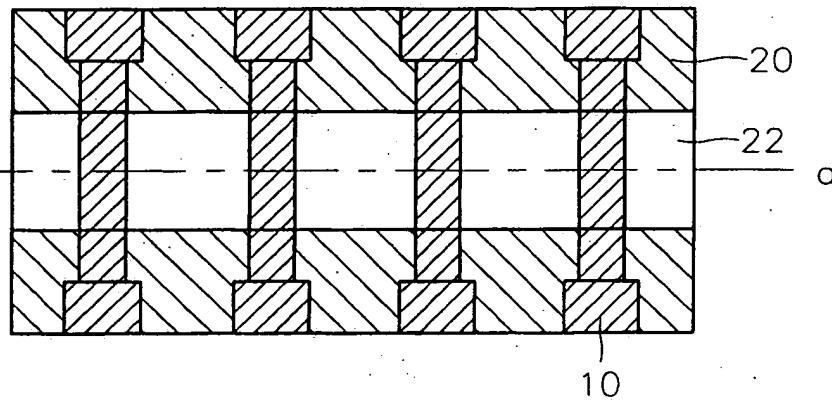
청구항 6. 제5항에 있어서, 상기 원도우는 인접한 퓨즈의 원도우들과 서로 나란하지 않게 지그재그의 형태로 형성되는 것을 특징으로 하는 퓨즈를 구비하는 반도체 소자의 제조방법.

청구항 7. 제5항에 있어서, 상기 퓨즈보호막은 산화막, 질화막 또는 인규산 유리인 것을 특징으로 하는 퓨즈를 구비하는 반도체 소자의 제조방법.

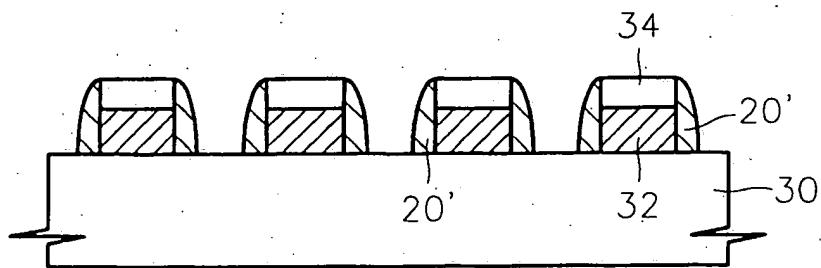
청구항 8. 제5항, 제6항 또는 제7항에 있어서, 상기 퓨즈를 구비하는 반도체 소자의 제조방법은 다이나믹 램, 스태틱 램, MOS 트랜지스터 또는 메모리와 비메모리로 구성되는 복합소자등에 적용되는 것을 특징으로 하는 퓨즈를 구비하는 반도체 소자의 제조방법.



도면2



도면3



도면4

